

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-080114
(43)Date of publication of application : 28.03.1997

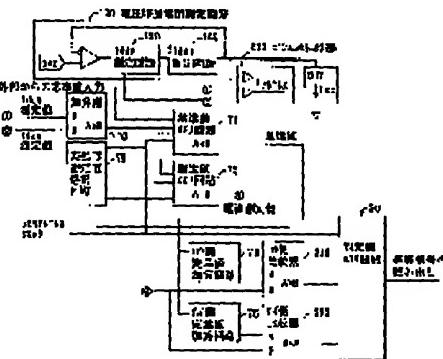
(51)Int.CI.	G01R 31/26 G01R 19/00
(21)Application number : 07-258137	(71)Applicant : ADVANTEST CORP
(22)Date of filing : 11.09.1995	(72)Inventor : HASHIMOTO YOSHIHIRO

(54) APPARATUS FOR MEASURING CURRENT OF IC TESTER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a current-measuring apparatus for an IC tester which can judge simply at high speed whether or not a power source current of a CMOS IC is good.

SOLUTION: The apparatus has a current measurement circuit 100 with an Iddp measurement circuit 130 and an Iddq measurement circuit 140 for measuring a power source current of a DUT, a low comparator 310 and a high comparator 320 for comparing with a judgment reference value thereby making judgments. Moreover, the apparatus is provided with an adder 70 for adding measured values of the Iddp and Iddq thereby enlarging a dynamic range, a reference value memory circuit 71 and a measured value memory circuit 72 which store outputs of the adder 70 separately in accordance with purposes by a reference value/measured value selection circuit 73. There are further provided a low quantitative addition circuit 74 and a high quantitative addition circuit 75 which make a constant correction to the reference value memory circuit 71 capable of taking/storing a reference value from an external input or a good device and the reference value, and use as a judgment/comparison value, and a judged value memory circuit 50 which can store judgment results and read out the results afterwards.



LEGAL STATUS

[Date of request for examination] 12.03.2001
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-80114

(43)公開日 平成9年(1997)3月28日

(51)Int.Cl.
G 0 1 R 31/26

識別記号

府内整理番号

F I
G 0 1 R 31/26

技術表示箇所

19/00

19/00

G
B
B

審査請求 未請求 請求項の数3 FD (全6頁)

(21)出願番号 特願平7-258137

(22)出願日 平成7年(1995)9月11日

(71)出願人 390005175

株式会社アドバンテスト

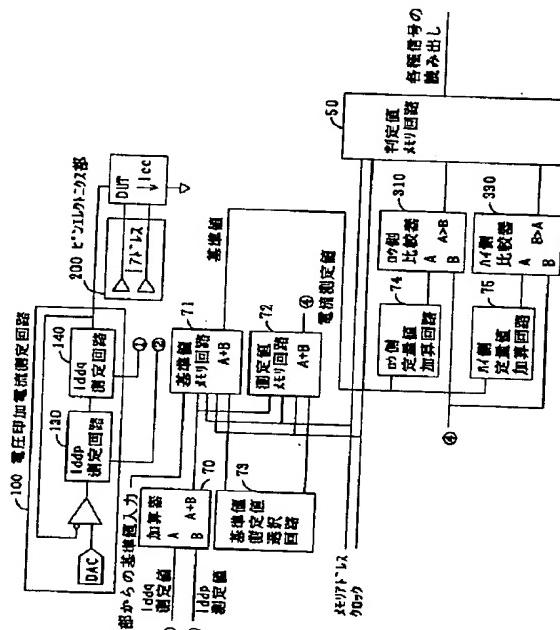
東京都練馬区旭町1丁目32番1号

(72)発明者 橋本 好弘

東京都練馬区旭町1丁目32番1号 株式会
社アドバンテスト内

(54)【発明の名称】 ICテスターの電流測定装置

(57)【要約】

【課題】 CMOS・ICの電源電流の良否判定を簡単
にかつ高速に行うICテスターの電流測定装置。【解決手段】 DUTの電源電流を測定するIddp測定回路とIddq測定回路を有した電圧印加電流測定回路100と良否判定基準値と比較判定するロウ側比較器310とハイ側比較器330とを有した回路において、
IddpとIddqの測定値を加算してダイナミックレンジを拡大する加算器70と、その出力を基準値測定値選択回路73によって目的によって別々に保存する基準
値メモリ回路71と測定値メモリ回路72を設けた。基
準値を外部からの入力や良品デバイスから取り込み保存
できる基準値メモリ回路71と基準値に一定の補正を行
い判定比較値として用いるためのロウ側定量加算回路7
4とハイ側定量加算回路75と良否判定結果を保存でき
て、後から読みだせる判定値メモリ回路50を設けた。

1

【特許請求の範囲】

【請求項1】 ピンエレクトロニクス部(200)よりDUTの各ピンに規定の電圧やテスト・パターンが与えられ、DUTの電源電流は電圧印加電流測定回路(100)から供給され、大きい電源電流を測定するIddp測定回路(130)と小さい電源電流を測定するIddq測定回路(140)を有した電圧印加電流測定回路(100)と測定結果と基準値とを比較判定するロウ側比較器(310)とハイ側比較器(330)とを有した回路において、
 Iddp測定値とIddq測定値を加算してダイナミックレンジを拡大する加算器(70)と、
 外部からの基準値入力や良品デバイスの測定値を基準値として取り込み、保存する基準値メモリ回路(71)と、
 IddpとIddqの加算測定値を保存する測定値メモリ回路(72)と、
 加算器(70)で加算された出力と、外部からの基準値入力とを別々に基準値メモリ回路(71)と測定値メモリ回路(72)とに保存入力をするレジスタからなる基準値測定値選択回路(73)と、
 基準値メモリ回路(71)からの判定基準値に一定量の加算補正を行うロウ側定量値加算回路(74)とハイ側定量値加算回路(75)と、
 ハイ側比較器(330)とロウ側比較器(310)からの判定値を保存して後から読みだせる判定値メモリ回路(50)と、
 を具備することを特徴とするICテスタの電流測定装置。

【請求項2】 請求項1において、
 外部より係数を入力して保存するレジスタ(74,)と、
 レジスタ(74,)の出力と、基準値メモリ回路(71)の出力とを入力する演算回路(74,)と、
 外部より固定値を入力して保存するレジスタ(74,)の出力と、
 演算回路(74,)の出力とを入力して加算する加算回路(74,)と、
 を具備してロウ側定量加算回路としたICテスタの電流測定装置。

【請求項3】 請求項1において、
 外部より係数を入力して保存するレジスタ(75,)と、
 レジスタ(75,)の出力と、基準値メモリ回路(71)の出力とを入力する演算回路(75,)と、
 外部より固定値を入力して保存するレジスタ(75,)の出力と、
 演算回路(75,)の出力とを入力して加算する加算回路(75,)と、
 を具備してハイ側定量加算回路としたICテスタの電流

2

測定装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、被試験用半導体(以下DUTと称する)特にCMOS・ICの電源電流測定の良否判定を簡単にかつ高速に行うICテスタの電流測定装置に関する。

【0002】

【従来の技術】ICをテストシステムでテストするためには、個々のICの機能・性能に合わせたテストプログラムが必要で、このテストプログラムはいかなる組み合わせ、使用条件においても所定の機能・性能が、100%保証できることが要求される。しかし、現実にはこれら100%を目指せば、テスト時間は膨大なものとなり、経済的に引き合わない。そのため、不良検出率とテスト時間との妥協点を見いだし、テストされている。ICの規模が大きくなるに従って、テストプログラムは作成とデバッグの時間が膨大になり、コンピュータを用いた設計(CAD)によって作成されることが多い。

【0003】最近のCMOS・ICでは高集積化が進み、チップ内ゲート数が大規模化してDUTの良否判定用のCADによるテスト・パターンでは、1と0の单一縮退故障を欠陥の対象としているため、DUTの短絡故障や開放故障の発見を困難にしている。

【0004】DUTの静止電源電流(CMOS・ICの静止電源電流を以下Iddqと称する)Iddqを測定することが、短絡故障と開放故障を発見する有効な手段であることは以前より知られていた。グランドと電源に着目してDUTのIddqとダイナミック電源電流(以下Iddpと称する)とを電圧印加電流測定回路(例えば、特願平6-156699号公報参照)においてテスト・パターンと同期して電源電流を測定し、比較部に設定したハイ/ロウ比較値を基準にして正常・異常を判定し故障検出率を高めて、出荷後のDUTの不良率を低減させている。

【0005】DUTの静止電源電流を測定するIddq測定回路とダイナミック電源電流を測定するIddp測定回路の電流測定値を比較判定して記憶するICテスタの電流測定装置のブロック図について説明する。図4にICテスタの電流測定装置のブロック図を、タイミングチャートを図5に示す。電圧印加電流測定回路10と比較部30と測定値判定値メモリ回路40によって構成され、DUTの入出力ピンに対するインターフェースとして使用しているピンエレクトロニクス部20よりDUTの各ピンは規定の電圧やテスト・パターンが与えられ、DUTの電源電流は電圧印加電流測定回路10から供給される。電圧印加電流測定回路10はIddp測定回路13とIddq測定回路14で測定され、測定レンジ測定の切替え回路15はテスト・プログラムで切替えられ測定された電流測定値は比較部30と測定値判定値メモリ回

路40に入力される。

【0006】上記の電流測定値はテスト周期毎に比較部30に設定された基準値と比較される、比較部30にはハイ側／ロウ側の比較値を設定して電流測定値と比較をする。比較設定値を基準にロウ側はロウ側比較値32にハイ側はハイ側比較値34に設定されロウ側比較器31とハイ側比較器33によって判定され、測定値判定値メモリ回路40に記録される。ロウ側判定値とハイ側判定値は測定値判定値メモリ回路40に記録される。

【0007】比較設定値を基準に例えば10マイクロアンペアを設定値とすると10マイクロアンペア以下が全て正常と判定したならば、DUTの回路が断線して電流が流れないと判定することを避けねばならないためハイ側比較値34とハイ側比較器33はハイ側をロウ側比較値32とロウ側比較器31はロウ側を担当して、電流が0で有るならば異常と判定する機能を有して、アドレス毎に正常と異常を正確に判定している。

【0008】 I_{ddq} 測定回路や I_{ddp} 測定回路の電流測定値は例えば、各周期毎の静止電源電流(I_{ddq})は小さな100マイクロアンペア以下の電流が流れ、ダイナミック電源電流(I_{ddp})は数100ミリアンペアが流れる。DUTの I_{ddq} と I_{ddp} の電流値は桁違いに異なるため、一個のDUTを測定するためには、ハイ／ロウ比較値の基準値の設定を変え、設定回数だけテストを行うことになる、それは I_{ddq} を測定して、その後 I_{ddp} を測定するので2回以上テストを行うことになる。

【0009】図5のタイミングチャートを説明する。 I_{ddq} を比較する場合には、ハイ／ロウ比較値の基準値の設定を行って、アドレス毎に I_{ddq} を比較する、例えばアドレスcのときはレンジが異なるので I_{ddp} の比較は行わないテスト・パターンを作成する必要があった。同じ I_{ddq} の測定であってもレンジが異なれば例えばアドレスeは判定を行わないテスト・パターンを作成する必要があった。次に I_{ddp} の測定を行う場合は、 I_{ddp} のハイ／ロウ比較値の基準値の設定を行って、アドレス毎に I_{ddp} を比較する、 I_{ddq} の比較を行わない箇所は判定を行わないテスト・パターンを作成する必要があった。

【0010】大規模LSIのテストパターンは人間では予測仕切れない、どのレベルが正常で有るかを把握することが大変困難である。それは従来からのテストパターンの期待値の組み合わせの数は数十万とか百万とかの組み合わせとなるためCADから持ってきた。その所要時間は例えばテスト周期が10マイクロセカンドでテスト・パターンが10万パターンの場合は、10マイクロセカンド×10万パターン=1秒間を必要とし、大規模LSIを量産する上で検査工数の問題となった。

【0011】測定レンジが異なるアドレスでは測定しないというマスクを設け、いずれか都合の良い区分より測

定を行ったので、少なくとも2回測定しなくてはならなかった、これは大規模LSIを量産する上で検査工数の問題となつた。

【0012】

【発明が解決しようとする課題】上記の説明のように、 I_{ddq} と I_{ddp} はレンジを切替えると測定出来ないため、少なくとも2回測定するので測定時間が膨大となり、多量のDUTをテストする場合の障害となっている。昨今は益々DUTの集積度が向上して、大規模な集積回路となり、その良否判定基準値はCADを使用しシミュレーション等によって得られた基準値に頼る以外に手段がなく、その基準値設定に膨大な工数を必要とした。

【0013】本発明の目的は、大きな電流を測定する I_{ddp} 測定回路と、小さな電流を測定する I_{ddq} 測定回路の測定においては、レンジ切替えを行わないリアルタイムに両者の測定を可能とする電圧印加電流測定回路を持ち、ロウ／ハイ比較値を外部からの設定は当然のことながら、良品デバイスからも簡単に読み込めて基準値に一定の値を補正加算して設定できるICテスタの電流測定装置を提供しようとするものである。

【0014】

【課題を解決するための手段】上記目的を達成するためには、本発明のICテスタの電流測定装置は、大きな電流を測定する I_{ddp} 測定回路と、小さな電流を測定する I_{ddq} 測定回路をリアルタイムに加算してダイナミックレンジを拡大するための手段としての加算器と、その出力を基準値メモリ回路と測定値メモリ回路を設けて、別々に保存を可能とする手段として基準値測定値選択回路を設けた。

【0015】良否判定の基準値を良品デバイスの電流測定値やシミュレーション等で得られた値を外部から入力された値で予め設定でき保存する手段として基準値メモリ回路をもうけた。その基準値メモリ回路からの出力に一定の値を補正加算可能な手段として、ロウ側定量加算回路とハイ側定量加算回路を設け、良否判定結果を保存して後から読みだせる手段として判定値メモリ回路を設けた。

【0016】

【発明の実施の形態】以下にこの発明の実施の形態を実施例と共に詳細に説明する。

【0017】

【実施例】実施例について図面を参照して説明すると、図1はICテスタの電流測定装置のブロック図で、図2はタイミングチャートを示す。DUTの入出力ビンに対するインターフェースとして使用しているピンエレクトロニクス部200よりDUTの各ビンは規定の電圧やテスト・パターンが与えられ、DUTの電源電流は電圧印加電流測定回路100から供給される。大きい電源電流を測定する I_{ddp} 測定回路130で測定した電源電流 I

I_{ddp} と小さい電源電流を測定する I_{ddq} 測定回路 1 40 で測定した電源電流 I_{ddq} をリアルタイムに加算 (I_{ddp} を B として、 I_{ddq} を A として A + B を行う) してダイナミックレンジを拡大する加算器 70 と、その出力を基準値メモリ回路 71 と測定値メモリ回路 72 に入力する、レジスタからなる基準値測定選択回路 73 によって基準値メモリ回路 71 と測定値メモリ回路 72 に別々に保存させる。

【0018】比較基準値を外部からの設定値や良品判定の基準となる良品デバイスの電源電流測定結果を基準値として取り込み、保存を行うことのできる機能を有した基準値メモリ回路 71 を設けた。基準値メモリ回路 71 の出力に一定の値を加算し比較値として用いるため基準値に補正加算可能な機能を有したロウ側定量値加算回路 74 とハイ側定量値加算回路 75 を設けた。従来からなるロウ側比較器 310 とハイ側比較器 330 による比較判定結果を判定値メモリ回路 50 に入力する。良否判定結果を保存できて、あとから読みだせる判定値メモリ回路 50 を設けた。

【0019】図2 (A) のタイミングチャートは良品の基準となるCMOSデバイスの電源電流を図1の基準値メモリ回路 71 に設定して、一定値をロウ側／ハイ側定量加算回路 74、75 で加算し、基準値を設定した例である。良品の基準となるCMOSデバイスの電源電流を基準に一定の値を加算し比較基準に一定の補正がされた基準値を示している。図2 (A) のハイ比較値、ロウ比較値は次式で求める。

$$\begin{aligned} \text{ハイ比較値} &= \text{良品の電流測定値} \times 1.0 + \text{オフセット値} \\ \text{ロウ比較値} &= \text{良品の電流測定値} \times 0 + (\text{マイナス・オフセット値}) \end{aligned}$$

【0020】図3にロウ側／ハイ側定量加算回路 74、75 のブロック図を示す。基準値メモリ回路 71 からの判定基準値に一定量の加算補正を行うロウ側定量値加算回路 74 とハイ側定量値加算回路 75 の構成を説明する。ロウ側定量加算回路 74 は基準値メモリ回路 71 の出力と、外部より係数を入力して保存するレジスタ 74 の出力とを入力して演算する演算回路 74 の出力と、外部より固定値を入力して保存するレジスタ 74 の出力とを入力して加算する加算回路 74 より構成され、加算回路 74 で加算した出力を次段の測定結果と基準値とを比較判定するロウ側比較器 310 に入力する。ハイ側定量加算回路 75 は基準値メモリ回路 71 の出力と、外部より係数を入力して保存するレジスタ 75 の出力とを入力して演算する演算回路 75 の出力と、外部より固定値を入力して保存するレジスタ 75 の出力とを入力して加算する加算回路 75 より構成され、加算回路 75 で加算した出力を次段の測定結果と基準値とを比較判定するハイ側比較器 330 に入力する。アドレス毎の電源電流の比較基準値は基準値メモリ回路 71 からの出力にロウ側／ハイ側定量加算回路 74、75 で

一定の値を加算された基準値とする。基準値は次式で求める。

$$\text{基準値} = \text{固定値} + \text{基準値} \times \text{係数}$$

【0021】図2 (B) のタイミングチャートは上記判定値を基準にアドレス毎に電源電流値を判定する。例えばアドレス 11 の I_{ddq} は基準値より下方に測定値があり良品と判定、アドレス 13 の I_{ddp} は基準値より下方に測定値があり良品と判定、アドレス 14 の I_{ddq} は基準値より上方にあるので異常と判定する。

10 【0022】

【発明の効果】本発明は、以上説明したように構成されているので、下記に記載されるような効果を奏する。 I_{ddq} と I_{ddp} の測定レンジを測定の切り換える必要がなくなったので、測定時間が半減した。シュミレーション結果から得られた良品判定値を基準値として基準値メモリ回路に記録できる他、良品と判明しているデバイスの電源電流値を良品判定値用基準値として使用できるようになったので判定基準値を作製する膨大な工数を省略することができた。従って、本発明は非常に有用であり、その技術的効果もさることながら、経済的効果も非常に大である。

【図面の簡単な説明】

【図1】本発明の一実施例によるICテスターの電流測定装置のブロック図である。

【図2】本発明の一実施例によるICテスターの電流測定装置のタイミングチャートである。

【図3】本発明の一実施例によるICテスターの電流測定装置のロウ側／ハイ側定量値加算回路部分のブロック図である。

30 【図4】従来の技術によるICテスターの電流測定装置のブロック図である。

【図5】従来の技術によるICテスターの電流測定装置のタイミングチャートである。

【符号の説明】

10、100 電圧印加電流測定回路

13、130 I_{ddp} 測定回路

14、140 I_{ddq} 測定回路

15 切替え回路

20、200 ピンエレクトロニクス部

40 30 比較部

31、310 ロウ側比較器

32 ロウ側比較値

33、330 ハイ側比較器

34 ハイ側比較値

40 測定値判定値メモリ回路

50 判定値メモリ回路

70 加算器

71 基準値メモリ回路

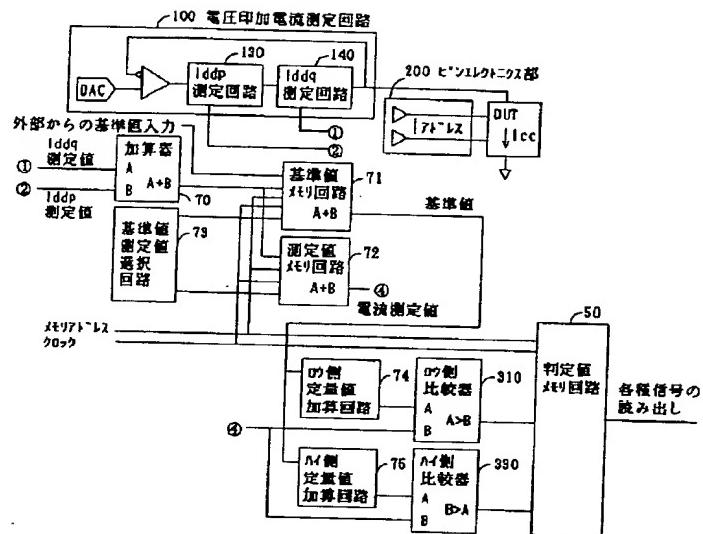
72 測定値メモリ回路

50 73 基準値測定値選択回路

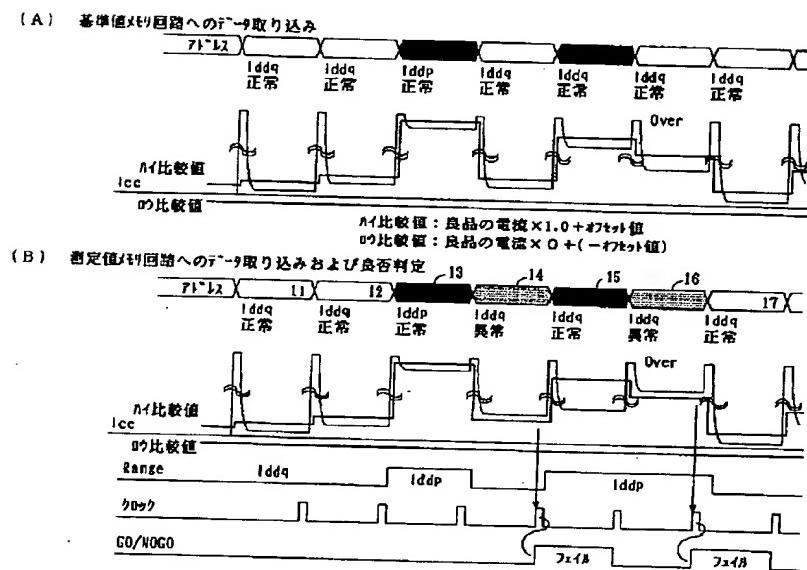
- 74 ロウ側定量値加算回路
 75 ハイ側定量値加算回路
 74₁, 75₁ レジスタ

* 74₁, 75₁, 演算回路
 74₁, 75₁, レジスタ
 * 74₁, 75₁, 加算回路

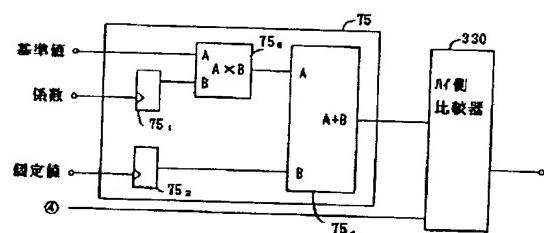
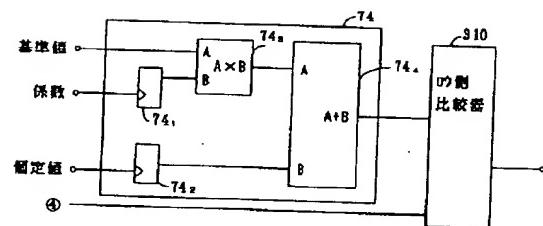
【図1】



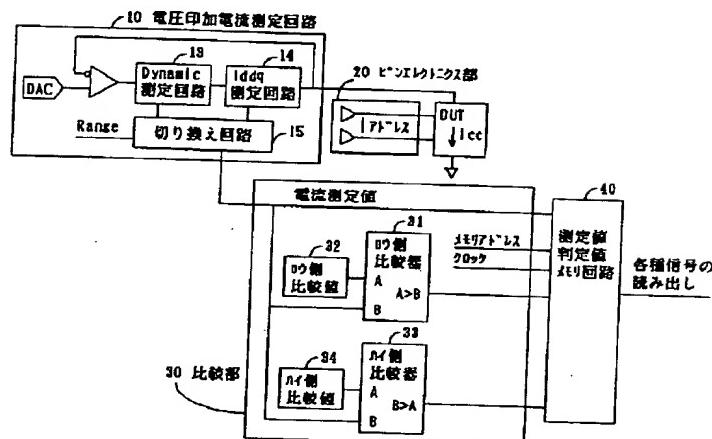
【図2】



【図3】



【図4】



【図5】

